

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266009

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/778

H 0 1 L 29/80

H

21/338

21/205

29/812

21/302

J

21/205

21/3065

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平10-68373

(22) 出願日

平成10年(1998) 3月18日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 横山 春喜

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 小林 隆

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 伊藤 弘

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 弁理士 山川 政樹

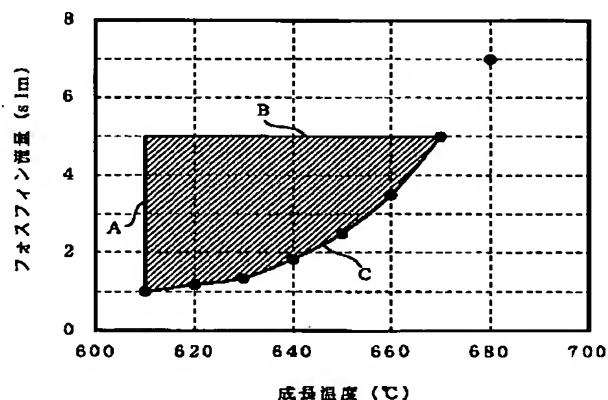
最終頁に続く

(54) 【発明の名称】 III-V族化合物半導体装置の製造方法

(57) 【要約】

【課題】 エッチストッパー層を有する III-V族化合物半導体装置の歩留りを向上させる。

【解決手段】 上層のエッチング時に、ストッパー層のエッチングされる密度が 3000 cm^{-2} 以下となるように、ストッパー層成長時の原料ガスの供給量を調節する。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体基板上に有機金属気相成長法によりAsを含む第1の原料ガスを供給して第1のIII-V族化合物半導体層を形成する第1の工程と、

前記第1のIII-V族化合物半導体層上に有機金属気相成長法によりPを含むとともにAsを含まない第2の原料ガスを供給して第2のIII-V族化合物半導体層を形成する第2の工程と、

前記第2のIII-V族化合物半導体層上に有機金属気相成長法によりAsを含む第3の原料ガスを供給して第3のIII-V族化合物半導体層を形成する第3の工程と、Asを含むIII-V族化合物半導体を選択的にエッチングするエッチャントを用いて前記第3のIII-V族化合物半導体層を部分的にエッチングして前記第2のIII-V族化合物半導体層の表面を露出させる第4の工程とを備えたIII-V族化合物半導体装置の製造方法において、

前記第4の工程で前記第2のIII-V族化合物半導体層がエッチングされる密度が 3000 cm^{-2} 以下となるように前記第2の工程で前記第2の原料ガスの供給量を調節することを特徴とするIII-V族化合物半導体装置の製造方法。

【請求項2】 請求項1において、前記第1のIII-V族化合物半導体層をInAlAs層とし、前記第2のIII-V族化合物半導体層をInP層とすることを特徴とするIII-V族化合物半導体装置の製造方法。

【請求項3】 請求項2において、前記第2の原料ガスをフォスフィンガスとし、前記第2の工程で 610°C から 670°C の温度範囲で前記フォスフィンガスの供給量を 1 slm から 5 slm (standard litter/minute)とすることを特徴とするIII-V族化合物半導体装置の製造方法。

【請求項4】 請求項1において、前記第2のIII-V族化合物半導体層をInGaP層又はInAlP層とすることを特徴とするIII-V族化合物半導体装置の製造方法。

【請求項5】 請求項1において、前記III-V族化合物半導体基板をInP基板とすることを特徴とするIII-V族化合物半導体装置の製造方法。

【請求項6】 請求項1において、前記III-V族化合物半導体基板をGaAs基板とすることを特徴とするIII-V族化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、V族元素としてPを含む化合物半導体からなるエッチストップ層を、V族元素としてAsを含む化合物半導体層で挟む半導体積層構造を有するIII-V族化合物半導体装置の製造方法に関する。

【0002】

【従来の技術】一般に、III-V族化合物半導体装置は、III-V族化合物半導体の基板上に形成される。最近では、高速動作を実現するために、基板にInPを用い、このInP基板上にInAlAs、InGaAs、InP等の半導体層を積層して形成する高電子移動度トランジスタ(以下、HEMT (high electron mobility transistor) と略記する)が提案されている。

【0003】図6は、InPからなるリセスエッチストップ層を有するHEMTの基本的な構成を示す断面図である。図6に示したHEMTは、InPからなる半絶縁性基板101上に、ノンドープのInAlAs半導体層102、ノンドープのInGaAs半導体層103、ノンドープのInAlAs半導体層104、n型不純物をドーピングしたInAlAs半導体層105、ノンドープのInAlAs半導体層106、ノンドープのInP半導体層107、n型不純物をドーピングしたInAlAs半導体層108及びn型不純物をドーピングしたInGaAs半導体層109が積層されている。

【0004】ただし、n型InAlAs半導体層108及びn型InGaAs半導体層109は、ノンドープのInP半導体層107上で、リセス溝112によって2つの領域に分割されている。さらに、分割された各n型InGaAs半導体層109上にはそれぞれオーミック電極110及び111が形成され、ノンドープのInP半導体層107上にはショットキー電極113が形成されている。

【0005】このような層構成の場合、ノンドープInAlAs半導体層102はバッファ層、ノンドープInGaAs半導体層103は電子走行層、ノンドープInAlAs半導体層104及び106はn型InAlAs半導体層105の成長に際して選択不純物ドーピングをより効果的に行なうためのスペーサー層、当該n型InAlAs半導体層105は電子供給層、ノンドープInP半導体層107はリセスエッチストップ層、n型InAlAs半導体層108及びn型InGaAs半導体層109は抵抗低減層としてそれぞれに作用する。また、各オーミック電極110及び111はそれぞれソース電極及びドレイン電極となり、ショットキー電極113はゲート電極となる。

【0006】図6に示したHEMTでは、ノンドープInGaAs半導体層103とノンドープInAlAs半導体層104とのヘテロ界面に、2次元電子ガス層114が形成される。ソース電極110とドレイン電極111との間に電圧を印加すると、2次元電子ガス層114

3

を通して電流が流れる。そして、ゲート電極112に電圧を印加することにより、ゲート下の2次元電子ガス濃度に変化して、トランジスタ動作を行なうことができる。

【0007】ゲート下から電子走行層までの半導体層（図6に示したHEMTの場合、ノンドープInAlAs半導体層104からノンドープInP半導体層107までの半導体層）におけるn型不純物濃度が一定の場合、HEMTのしきい値電圧は、前記した半導体層の膜厚の2乗に比例して変化することが知られている。このため、リセス溝112の深さをいかに精度よく形成するかが、HEMTの特性を向上させる上での最大のキーポイントとなる。そこで、図6に示したHEMTでは、n型InGaAs半導体層109及びn型InAlAs半導体層108を部分的にエッチングしてリセス溝112を形成する工程で、ノンドープInP半導体層107の表面でエッチングの進行が停止するように、ノンドープInP半導体層107が挿入されている。図6に示したHEMTは、特願平4-290917に記載されている。

【0008】

【発明が解決しようとする課題】化合物半導体の結晶成長には、通常、有機金属気相成長（MOCVD）法及び分子線エピタキシャル成長（MBE）法が用いられる。ただし、Pを含む結晶材料の成長が必要な場合には、一般に、MOCVD法が用いられることが多い。このMOCVD法を用いて図6に示したHEMTを形成する場合、MOCVD法では成長温度が高温であるため、各工程で反応炉内に付着した堆積物からAsの再蒸発が起こる。

【0009】ノンドープInP半導体層107を形成するときには、原料ガスであるフォスフィンガスの流量を数十～数百sccm（standard cubic centimeter/minute：1000sccm=1slm）としてInPを成長する。しかし、このとき、再蒸発したAsがInPに混入する。つまり、リセスエッチストッパー層として形成されたノンドープInP半導体層107にAsが混入してしまう。

【0010】一方、n型InGaAs半導体層109及びn型InAlAs半導体層108をエッチングしてリセス溝112を形成するために、As系半導体に対するエッチングレートがP系半導体に対するエッチングレートに比べて格段に速い選択性の高いエッチャントが用いられる。しかし、前述したようにリセスエッチストッパー層としてのノンドープInP半導体層107にもAsが混入しているので、リセス溝112を形成する工程で、エッチングがInP半導体層107で停止しないということが多かった。InP層107のエッチング抜けは通常、ピンホール状に起きる。

【0011】このとき、n型InAlAs層105まで

4

エッチングされる場合がある。n型InAlAs層105は電子供給層であり、この電子供給層がピンホール状にエッチングされると、ピンホール近傍からは2次元電子ガス層114に電子が供給されなくなる。つまり、2次元電子ガス層114に供給される電子が減少するので、2次元電子ガス層114の抵抗値が大きくなる。この結果、HEMTのしきい値電圧が変化し、またHEMTの高周波特性も劣化して、所望のデバイス特性が得られなくなる。

10 【0012】さらに、電子供給層のエッチングはエッチング抜けが電子供給層に達した場合にのみ起こるので、同一ウェハーに形成されたHEMTでもデバイス特性にばらつきが生じる。このように、リセスエッチストッパー層を有するIII-V族化合物半導体装置の従来の製造方法では、半導体装置製造上の歩留りが低いという問題があった。

【0013】本発明はこのような課題を解決するためになされたものであり、その目的は、リセスエッチストッパー層を有するIII-V族化合物半導体装置の歩留りを向上させることにある。

20 【0014】

【課題を解決するための手段】このような目的を達成するために、本発明は、III-V族化合物半導体基板上に有機金属気相成長法によりAsを含む第1の原料ガスを供給して第1のIII-V族化合物半導体層を形成する第1の工程と、第1のIII-V族化合物半導体層上に有機金属気相成長法によりPを含むとともにAsを含まない第2の原料ガスを供給して第2のIII-V族化合物半導体層を形成する第2の工程と、第2のIII-V族化合物半導体層上に有機金属気相成長法によりAsを含む第3の原料ガスを供給して第3のIII-V族化合物半導体層を形成する第3の工程と、Asを含むIII-V族化合物半導体を選択的にエッチングするエッチャントを用いて第3のIII-V族化合物半導体層を部分的にエッチングして第2のIII-V族化合物半導体層の表面を露出させる第4の工程とを備えたIII-V族化合物半導体装置の製造方法において、第4の工程で第2のIII-V族化合物半導体層がエッチングされる密度が3000cm⁻²以下となるように第2の工程で第2の原料ガスの供給量を調節する。さらに、第1のIII-V族化合物半導体層をInAlAs層とし、第2のIII-V族化合物半導体層をInP層とする。さらに、第2の原料ガスをフォスフィンガスとし、第2の工程で610℃から670℃の温度範囲でフォスフィンガスの供給量を1slmから5slm（standard liter/minute）とする。あるいは、第2のIII-V族化合物半導体層をInGaP層又はInAlP層とする。また、III-V族化合物半導体基板をInP基板とする。あるいは、III-V族化合物半導体基板をGaAs基板とする。

50 【0015】第2の工程でも、反応炉内に付着した堆積

5

物からAsが蒸発する。しかし、このAsの蒸発量は温度によって決定されるから、温度が一定であれば、雰囲気中のAs量は一定であると考えてよい。したがって、Pを含むがAsを含まない第2の原料ガスの供給量を調節することによって、雰囲気中のP/Asの分圧比を制御することができる。一方、第2のIII-V族化合物半導体成長時には、第2の原料ガスの分解によって生成したPと蒸発したAsとが取り込まれる。したがって、第2の原料ガスの供給量を増やして、P/Asの分圧比を増加させることによって、第2のIII-V族化合物半導体に混入するAs量を低減させることができる。第2のIII-V族化合物半導体層に含まれるAsの量が減少すれば、第4の工程で第3のIII-V族化合物半導体層を選択エッチングしても、第2のIII-V族化合物半導体層がエッチングされる密度を抑えることができる。そして、この密度を抑えられれば、第2のIII-V族化合物半導体層の下層に形成された半導体層へのエッチングの進行を抑制することができる。特に、第2のIII-V族化合物半導体層のエッチング密度が 3000 cm^{-2} 以下とすることによって、デバイス特性のばらつきが許容範囲内のIII-V族化合物半導体装置を形成することができる。

【0016】

【発明の実施の形態】以下、本発明によるIII-V族化合物半導体装置の製造方法を、リセスエッチストップ層を有するHEMTの製造方法を例にして詳細に説明する。図1及び図2は、このHEMTを製造する際の主要な工程を示す断面図である。

【0017】まず、InPからなる半絶縁性基板(III-V族化合物半導体基板)1上に、ノンドープのInAlAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.2\text{ }\mu\text{m}$)2、ノンドープのInGaAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.015\text{ }\mu\text{m}$)3、ノンドープのInAlAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.003\text{ }\mu\text{m}$)4、n型不純物をドーピングしたInAlAs半導体層(例えば、キャリア濃度 $4.5\times 10^{18}\text{ cm}^{-3}$ 、厚さ $0.014\text{ }\mu\text{m}$:第1のIII-V族化合物半導体層)5、ノンドープのInAlAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.005\text{ }\mu\text{m}$)6、ノンドープのInP半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.005\text{ }\mu\text{m}$:第2のIII-V族化合物半導体層)7、n型不純物をドーピングしたInAlAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.02\text{ }\mu\text{m}$:第3のIII-V族化合物半導体層)8及びn型不純物をドーピングしたInGaAs半導体層(例えば、キャリア濃度 10^{15} cm^{-3} 、厚さ $0.01\text{ }\mu\text{m}$)9を順次に結晶成長させて積層する(図1(A)参照)。

【0018】これらの各層は、MOCVD法を用いて結

6

晶成長させる。成長温度は $610\sim 670^{\circ}\text{C}$ に設定される。III族の原料ガスには、トリメチルインジウム(TMI)、トリエチルインジウム(TEI)、トリメチルアルミニウム(TMA)、トリエチルアルミニウム(TEA)、トリメチルガリウム(TMg)、トリエチルガリウム(TEG)の有機金属が用いられる。また、V族の原料ガスには、アルシン(AsH_3)、フォスフィン(PH_3)の水素化物等が用いられる。

【0019】特に、n型InAlAs半導体層5の原料ガスとしては、トリメチルインジウム又はトリエチルインジウムと、トリメチルアルミニウム又はトリエチルアルミニウムと、第1の原料ガスであるアルシンとの混合ガスが使用される。また、ノンドープInP半導体層7の原料ガスとしては、トリメチルインジウム又はトリエチルインジウムと、第2の原料ガスであるフォスフィンとの混合ガスが使用される。また、n型InAlAs半導体層9の原料ガスとしては、トリメチルインジウム又はトリエチルインジウムと、トリメチルアルミニウム又はトリエチルアルミニウムと、第3の原料ガスであるアルシンとの混合ガスが使用される。

【0020】図3は、ノンドープInP半導体層7を結晶成長するときの最適条件を示す図である。縦軸はフォスフィン流量を示しており、横軸は成長温度を示している。直線A、直線B及び曲線Cによって囲まれた斜線領域が最適条件を示している。この最適条件を満たすように、 $610\sim 670^{\circ}\text{C}$ の温度範囲で、フォスフィン流量を $1\sim 5\text{ slm}$ として、ノンドープInP半導体層7を結晶成長する。

【0021】次に、図1(A)に示した工程に引き続き、最上層のn型InGaAs半導体層9上に、2個のオーミック電極10及び11を離間して形成する(図1(B)参照)。各オーミック電極10及び11はTi/Pt/Auを蒸着した後、リフトオフして形成する。

【0022】次に、2個のオーミック電極10及び11に挟まれた領域にあるn型InGaAs半導体層9及びn型InAlAs半導体層8を、選択的に順次ウエットエッチングして、ノンドープInP半導体層7の表面を部分的に露出させる。こうしてリセス溝12を形成する(図2(A)参照)。ここではエッチャントとして、As系半導体に対するエッチングレイトがP系半導体に対するエッチングレイトに比べて格段に速い、選択性の高いエッチャントが用いられる。例えば、硫酸系又はクエン酸系のエッチャントを使用することができる。

【0023】次に、露出したノンドープInP半導体層7の表面上にショットキー電極13を形成する(図2(B)参照)。このショットキー電極13はWSiN/Ti/Pt/Auを蒸着した後、リフトオフして形成する。このようにしてHEMTが完成する。

【0024】図2(B)に示した層構成にあっても、ノンドープInAlAs半導体層2はバッファ層、ノンド

7

ープInGaAs半導体層3は電子走行層、ノンドープInAlAs半導体層4及び6はn型InAlAs半導体層5の成長に際して選択不純物ドーピングをより効果的に行なうためのスペーサー層、当該n型InAlAs半導体層5は電子供給層、ノンドープInP半導体層7はリセスエッチストップ層、n型InAlAs半導体層8及びn型InGaAs半導体層9は抵抗低減層としてそれぞれに作用する。また、各オーミック電極10及び11はそれぞれソース電極及びドレイン電極となり、ショットキー電極13はゲート電極となる。

【0025】また、ノンドープInGaAs半導体層3とノンドープInAlAs半導体層4とのヘテロ界面には、2次元電子ガス層14が形成される。したがって、ソース電極10とドレイン電極11との間に電圧を印加すると、2次元電子ガス層14を通して電流が流れる。そして、ゲート電極12に電圧を印加することにより、ゲート下の2次元電子ガス濃度が変化して、トランジスタ動作を行なうことができる。

【0026】次に、リセスエッチストップ層として作用するノンドープInP半導体層7について、さらに説明する。図3に示した最適条件を満たすようにInP半導体層7を形成することによって、このInP半導体層7のリセスエッチストップ層としての性能は著しく向上する。このことを以下の実験結果で示す。

【0027】まず、フォスフィン流量を0.2~5slmの範囲で変化させ、各フォスフィン流量で成長したInP半導体層7を有するHEMTを形成した。成長温度は610℃である。各InP半導体層7のエッチストップ層としての性能評価は、次のようにして行われた。まず、クエン酸系のエッチャントを用いてn型InGaAs半導体層9及びn型InAlAs層8を除去する。引き続き、同エッチャントを用いて更に2分間、InP半導体層7のエッチングを行う。そして、エッチング後のInP半導体層7の表面を顕微鏡で観察して、ピンホール状のエッチング抜け密度を観測した。

【0028】図4は、このときのフォスフィン流量とエッチング抜け密度との関係を示す図である。縦軸はエッチング抜け密度であり、横軸はフォスフィン流量である。フォスフィン流量を増大させると、急激にエッチング抜け密度が低減していくことがわかる。具体的には、フォスフィン流量1slmでのエッチング抜け密度は3000cm⁻²程度であり、さらに流量を増加させると、エッチング抜け密度は600cm⁻²まで低減した。InP基板のエッチピット密度(EDP)が10000cm⁻²程度であることから考えても、フォスフィン流量1slmのエッチング抜け密度の値は実用上問題ないレベルであるといえる。

【0029】従来、InP半導体層7の成長時に供給されていたフォスフィン流量は数十~数百sccmであった。このフォスフィン流量を従来より増大させて1sl

8

m以上にするることによって、InP半導体層7のリセスエッチストップ層としての性能を格段に向上させることができる。

【0030】フォスフィン流量を増大させるとエッチング抜け密度が低減するのは、次のような理由からである。Asの蒸発量は成長温度によって決定されるから、成長温度が一定であれば、雰囲気中のAs量は一定であると考えてよい。したがって、フォスフィン流量を増大させることによって、雰囲気中のP/Asの分圧比が高くなる。一方、InP成長時には、フォスフィンの分解によって生成したPと蒸発したAsとが取り込まれる。このため、フォスフィン流量を増やして、P/Asの分圧比が高くなれば、InP半導体層7に混入するAs量が減少する。InP半導体層7に含まれるAsの量が減少すれば、As系半導体を選択的にエッチングするエッチャントでエッチングしても、InP半導体層7がエッチングされる密度を抑えることができるのである。

【0031】次に、成長温度を10℃きざみで上昇させ、各成長温度で成長したInP半導体層7に対して、上記と同様の評価を実施した。図3に示した曲線cは、各成長温度で成長したInP半導体層7に発生したピンホール状のエッチング抜け密度が3000cm⁻²程度となるフォスフィン流量を示している。この曲線cから、成長温度の上昇にともなって、エッチング抜け密度が3000cm⁻²程度となるフォスフィン流量が増加していることがわかる。また、成長温度が670℃では、エッチング抜け密度を3000cm⁻²程度とするために、フォスフィン流量を5slmとする必要がある。

【0032】成長温度が上昇すると、反応炉内の堆積物から蒸発するAs量が増加する。このため、P/Asの分圧比を一定に保つためには、フォスフィン流量を増加させる必要があるのである。しかし、成長温度が610~670℃の範囲では、フォスフィン流量を曲線cで示される流量よりも多くすることによって、エッチング抜け密度を3000cm⁻²以下することができる。

【0033】次に、各成長温度で成長したInP半導体層7を有するHEMTに対して、ホール測定を実施した。610~670℃の成長では、移動度は9000cm²V⁻¹s⁻¹程度(シートキャリア濃度が約2×10¹²cm⁻²での値)で、ほぼ一定であった。しかし、670℃以上の成長では、移動度が急激に減少した。この理由は、成長温度の高温化によって、成長した層構造界面での相互拡散が起こり、ヘテロ界面の急峻性が劣化したからだと考えられる。また、電子供給層であるn型InAlAs半導体層5の不純物が、高温成長によって電子走行層であるノンドープInGaAs半導体層3まで拡散した可能性もある。いずれにせよ、670℃以上の成長では移動度が急激に減少するため、HEMTのような高速動作が要求されるデバイスの成長には適さない。

【0034】一方、610℃以下の成長温度で図2

9

(B)に示したHEMTを形成すると、InAlAs結晶が3次元成長してしまう。これは、InAlAs結晶がIII族結晶として表面での拡散長が短いAlを含むために起こる。実際に、610℃以下で成長したInAlAs結晶の表面を原子間力顕微鏡で観察すると、その表面には10nm以上の凹凸が観察された。610℃以下でInAlAs半導体層6を成長した場合には、このような表面上にInP結晶を成長して、InP半導体層7を形成することになる。

【0035】しかし、InP半導体層7はリセスエッチストップパー層であるから、HEMTを高速動作させるために5nm程度の膜厚で設計される。また、InP成長の場合には、表面での原子の拡散長がInAlAsと比較して大きい。このことから、InAlAsの突起物をInP半導体層7が完全に被覆できない状態や、InP半導体層7の膜厚が面内で分布してしまう状態が発生する。したがって、610℃以下で成長すると、InP半導体層7のリセスエッチストップパー層としての性能が低下したり、所望のトランジスター特性を得ることができない等の問題が起こる。

【0036】以上説明したように、成長温度を610～670℃とすることによって、トランジスター特性の劣化を防止することができるとともに、所望のトランジスター特性を得ることができる。

【0037】前記したように、670℃でリセスエッチストップパー層として十分な性能をもつInP半導体層7を成長するには、5slm以上のフォスフィン流量が必要であった。これに対して、本実施の形態の検討を行うために用いたMOCVD装置の最適水素キャリアガス流量は、18slmであった。また、水素キャリアガス流量は、一般的に、10～50slm程度の流量範囲内で膜厚及び組成の均一性が最適となる条件に設定されている。

【0038】したがって、あまり多量のフォスフィンを供給することは、キャリアガス自体を変化させ、均一性の最適条件を変える可能性があり、望ましくない。実際に、図2(B)に示したHEMTの場合には、6slm以上のフォスフィン流量で影響がみられた。以上のことから、実用的なフォスフィン流量も1～5slm程度と考えられる。

【0039】次に、フォスフィン流量を1～5slmの範囲で変化させ、各フォスフィン流量で成長したInP半導体層7を有するHEMTを形成し、ゲート加工を行ってトランジスター特性を評価した。成長温度は650℃である。図5は、このときのフォスフィン流量としきい値電圧の分布との関係を示す図である。縦軸はしきい値電圧であり、横軸はフォスフィン流量である。なお、設計しきい値電圧は-0.5Vである。

【0040】図3によれば、ピンホール状のエッチング抜け密度が3000cm⁻²以下となるフォスフィン流量

10

は、3slm付近である。このフォスフィン流量は、図5においてしきい値の分布が急激に少なくなる流量と一致している。これにより、リセスエッチストップパー層として作用するInP半導体層7のエッチング抜け密度を3000cm⁻²以下にすることによって、設計通りのトランジスター特性をもつHEMTを形成できることがわかる。したがって、図3に示した最適条件を満たしてInP半導体層7を形成することによって、このInP半導体層7のリセスエッチストップパー層としての性能が飛躍的に向上するので、製造上の歩留まりを向上させることができる。

【0041】なお、ここではリセスエッチストップパー層をInPで形成した場合について説明したが、他のIII-V族化合物半導体、例えばInGaP及びInAlPをエッチング抜け密度が3000cm⁻²以下となるように成長すれば、これらはリセスエッチストップパー層としてInPと同等の効果を奏す。また、図2(B)に示したHEMTはInP基板1上に成長したが、GaAs基板上に成長した場合も同様である。また、本実施の形態では、InP半導体層7をリセスエッチング時のストップパー層として用いているが、他の目的で行われるエッチングのストップパーとして用いることもできることはいうまでもない。

【0042】ところで、リセスエッチング時のInP半導体層7の選択比の低下は、InP成長時のAsの混入によって起こることは先に述べた通りである。一方、反応炉内に付着した堆積物からのAsの離脱は、反応炉内の温度が600℃以上になったときに顕著になる。したがって、InP半導体層7中へのAsの混入を抑制するためには、成長温度を低温化することも効果的だと考えられる。しかしながら、MOCVD法では有機金属ガスをIII族の原料ガスとして用いているため、高純度結晶を成長するためには高温成長が不可欠である。また、特に、InAlAs結晶は低温では3次元成長してしまう。このため、成長温度を低温化すると、前述したように、InP半導体層7のリセスエッチストップパー層としての性能が低下したり、所望の半導体特性を得ることができない等の問題が起こる。

【0043】また、InAlAs結晶を610℃以上の高温で成長し、一旦、成長温度をAsの蒸発が起こらない程度まで下げてからInP結晶成長を行い、再び、温度を上げてInAlAs結晶を成長する方法も考えられる。しかしながら、MOCVD法で基板温度を変化、安定させるには、最低でも数分～十数分程度の時間がかかる。そして、この間、成長結晶の表面を保護するために、V族原料ガスを供給し続ける必要がある。

【0044】しかし、V族原料ガスであるアルシンやフォスフィン中にも微量の不純物が混入している。このため、長時間の成長中断によって、成長表面に不純物が吸着する恐れがある。また、成長中断の間には成長表面が

11

ら III 族原子の蒸発が起こるため、表面状態が経時変化する。これらの現象を制御することは困難であり、成長中断を用いる方法で再現性よく所望の特性の半導体装置を製造することは難しい。

【0045】これに対して、本実施の形態では、成長温度を $610 \sim 670^\circ\text{C}$ の高温に設定することができ、しかも成長中断をする必要がないので、上記の問題は発生しない。したがって、本実施の形態によれば、上記の方法を使用するよりも、半導体装置製造上の歩留まりを高めることができる。

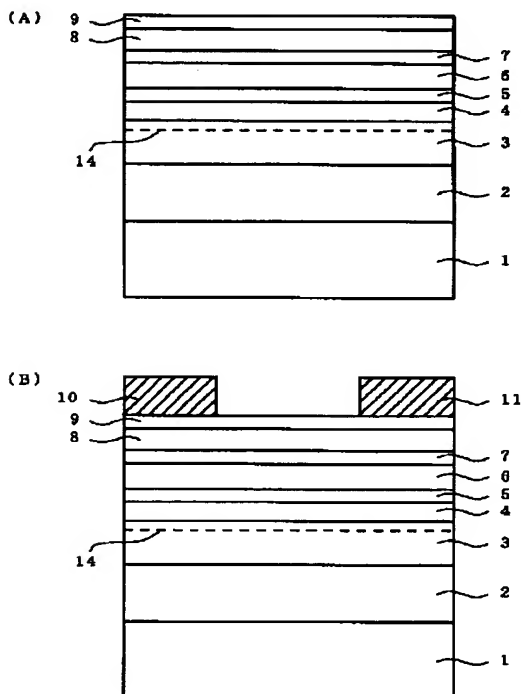
【0046】

【発明の効果】以上説明したように、本発明では、第3の III-V 族化合物半導体層をエッチングする工程で、第2の III-V 族化合物半導体層がエッチングされる密度が 3000 cm^{-2} 以下となるように、第2の原料ガスの供給量を調節して第2の III-V 族化合物半導体層を形成する。これによって、ウェットエッチング技術の安定化を図ることができるので、所望のデバイス特性をもつ III-V 族化合物半導体装置を再現性よく製造することができる。つまり、本発明によれば、設計通りの III-V 族化合物半導体装置を歩留りよく製造することができる。

【図面の簡単な説明】

【図1】 リセスエッチストップ層を有する HEMT

【図1】



12

を製造する際の主要な工程を示す断面図である。

【図2】 図1に引き続く工程を示す断面図である。

【図3】 ノンドープ InP 半導体層を結晶成長するときの最適条件を示す図である。

【図4】 異なるフォスフィン流量で成長したノンドープ InP 半導体層をエッチングしたときのフォスフィン流量とエッチング抜け密度との関係を示す図である。

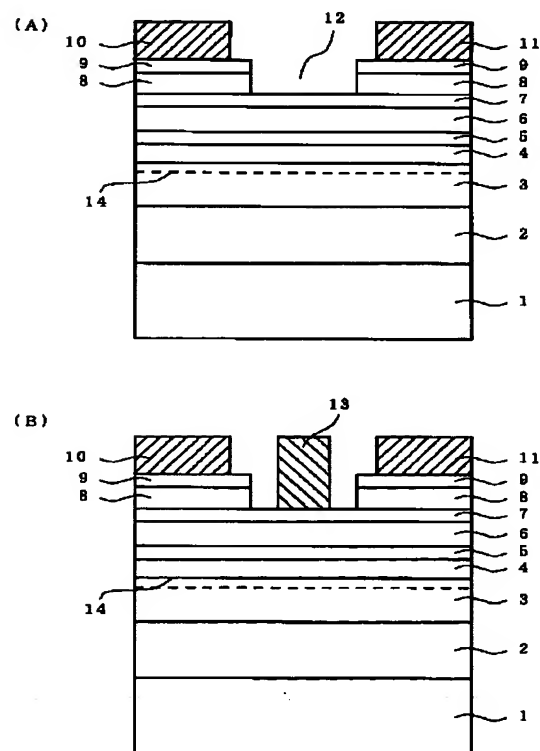
【図5】 異なるフォスフィン流量で成長したノンドープ InP 半導体層を有する HEMT のフォスフィン流量としきい値電圧の分布との関係を示す図である。

【図6】 リセスエッチストップ層を有する HEMT の基本的な構成を示す断面図である。

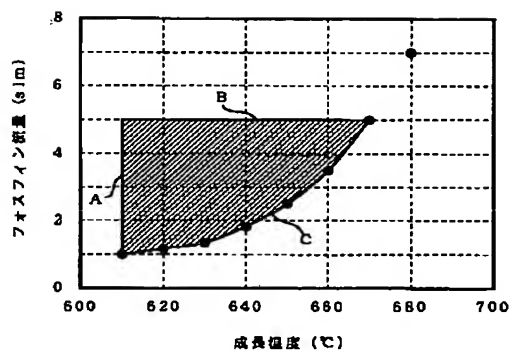
【符号の説明】

1…InP からなる半絶縁性基板、2…ノンドープの InAlAs 半導体層、3…ノンドープの InGaAs 半導体層、4…ノンドープの InAlAs 半導体層、5…n 型の不純物をドーピングした InAlAs 半導体層、6…ノンドープの InAlAs 半導体層、7…ノンドープの InP 半導体層、8…n 型の不純物をドーピングした InGaAs 半導体層、9…n 型の不純物をドーピングした InGaAs 半導体層、10、11…オーミック電極、12…リセス溝、13…ショットキー電極、14…2 次元電子ガス層。

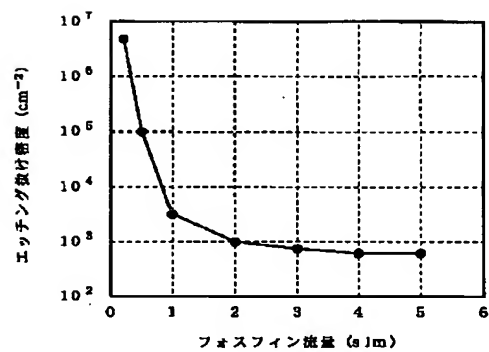
【図2】



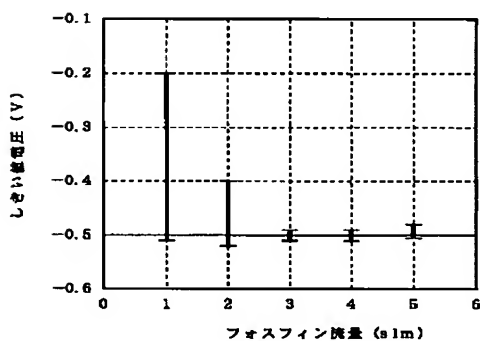
【図3】



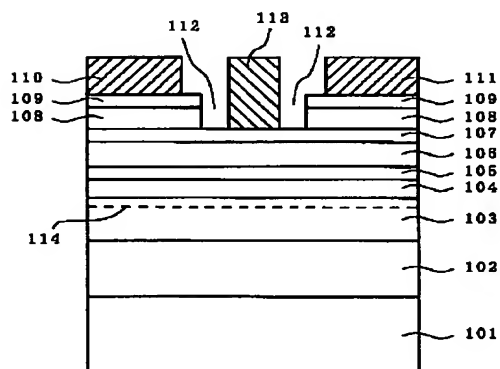
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 榎木 孝知
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-266009

(43)Date of publication of application : 28.09.1999

(51)Int.Cl.

H01L 29/778
H01L 21/338
H01L 29/812
H01L 21/205
H01L 21/3065

(21)Application number : 10-068373

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 18.03.1998

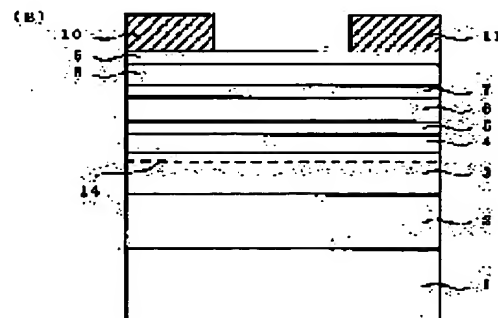
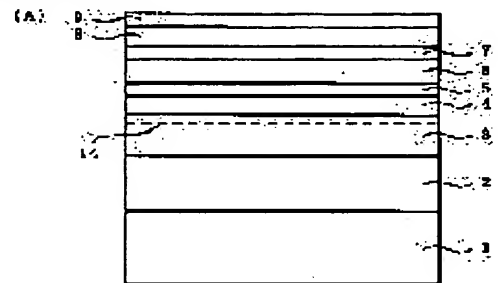
(72)Inventor : YOKOYAMA HARUKI
KOBAYASHI TAKASHI
ITO HIROSHI
ENOKI TAKATOMO

(54) MANUFACTURE OF GROUP III COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the yield of a recess etch stopper layer, by a method wherein the third III-V compound semiconductor layers are partially etched away, so that the supply amount of a material gas may be adjusted for specifying the etching density of the second III-V compound semiconductor layers.

SOLUTION: A non-doped InAlAs semiconductor layer 2a, undoped InGaAs semiconductor layers 3, 4, an undoped InAlAs semiconductor layer 5, another undoped InAlAs layer 6, an undoped InP semiconductor layer 7, another InAlAs layer 8 doped with an n-type impurity, and another InGaAs layer 9 doped with an n-type impurity, are successively crystallized on an III-V compound semiconductor base 1 to be laminated thereon. In such a constitution, crystals of these layers are grown by MOCVD process at a growth temperature of 610-670° C and the etching density not exceeding 300 cm³. Besides, two each of ohmic electrodes 10 and 11 are separately formed on the topmost layer 9. Furthermore, a current flows in a hetero-interface between the semiconductor layers 3 and 4 through a secondary electronic gas layer 24 to operate as a transistor.



LEGAL STATUS

[Date of request for examination]

13.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3416051

[Date of registration]

04.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office